

CLIPPEDIMAGE= JP359009729A

PAT-NO: JP359009729A

DOCUMENT-IDENTIFIER: JP 59009729 A

TITLE: SEMICONDUCTOR DEVICE

PUBN-DATE: January 19, 1984

INVENTOR-INFORMATION:

NAME

UMEKI, TSUNENORI

ASSIGNEE-INFORMATION:

NAME

MITSUBISHI ELECTRIC CORP

COUNTRY

N/A

APPL-NO: JP57119365

APPL-DATE: July 7, 1982

INT-CL (IPC): G06F001/00;H01L027/04

ABSTRACT:

PURPOSE: To minimize heat generation of an integrated circuit and power consumption, by adding an instruction for turning on and off supply power in block unit of function blocks which operate independently from each other, to an instruction processed by a processor.

CONSTITUTION: In a processor 1b, when electric power is inputted to a power supply pad and a power supply line 2, and a prescribed resetting signal and a clock signal are inputted to each processor 1b. A power cut block 7 on each function block 6 sets a power state latch 9 to a specified state by a power state resetting signal 10. Subsequently, an instruction inputted from an instruction bus 3 is decoded by a decoder 4, and in case when its contents are an instruction for changing turn-on and turn-off of power in some function block 6, a power state changing signal 11 is outputted to the latch 9 from an internal control part 5, and power of the designated function block is turned on or off.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—9729

⑪ Int. Cl.<sup>3</sup>  
G 06 F 1/00  
H 01 L 27/04

識別記号  
1 0 2

庁内整理番号  
E 6913—5B  
A 8122—5F

⑬ 公開 昭和59年(1984)1月19日

発明の数 1  
審査請求 有

(全 4 頁)

⑭ 半導体装置

⑯ 特 願 昭57—119365

⑰ 出 願 昭57(1982)7月7日

⑱ 発 明 者 梅木恒憲

伊丹市瑞原4丁目1番地三菱電

機株式会社北伊丹製作所内

⑲ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2  
番3号

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

(1) 入力される命令に応じて内部動作を制御するコントロール部と、このコントロール部によつて制御され互いに独立に動作する複数の機能ブロックとが集積された半導体装置において、上記命令群の中に上記複数の機能ブロックの中の所定の機能ブロックへの電力供給をオン・オフする命令を設けるとともに当該命令に応じて上記所定の機能ブロックへの電力供給をオン・オフするスイッチ回路を備えたことを特徴とする半導体装置。

3. 発明の詳細な説明

この発明は入力される命令によつて内部動作を制御するコントロール部と、これによつて制御され互いに独立に動作する複数の機能ブロックとが集積された半導体装置に関するものである。

第1図はこの種の半導体装置の従来例の構成を示すブロック図で、(1a)はこの従来例であるプ

ロセッサ、(2)は電源パッドおよび電源ライン、(3)はこのプロセッサ(1a)へ外部から命令を入力する命令バス、(4)はこの命令を解説するデコード、(5)はデコード(4)によつて解説された命令に応じてそれぞれ後述の機能ブロックへ制御信号を送出するコントロール部、(6)は互いに独立に動作する機能ブロックである。

次に動作について説明する。プロセッサ(1a)は電源パッドおよび電源ライン(2)に電力の供給を受け、所定のリセット信号を受け、クロック信号が入力した状態で、命令バス(3)から命令が入力される。この命令はデコード(4)で解説され、その内容に応じてコントロール部(5)から各機能ブロック(6)に所定の制御信号が送出されてプロセッサとしての機能が発揮される。

ところが、従来のプロセッサは、以上のように構成されているので、独立に動作する多数の機能ブロックの中には、不使用にもかかわらず電力を消費する機能ブロックがあるので、集積回路化されたプロセッサの発熱消費電力の増大、集積回路

自身の信頼性低下を招く欠点があつた。

この発明は、上記のような従来のものの欠点を除去するためになされたもので、プロセッサが処理する命令に、互いに独立に動作する機能ブロックをブロック単位に供給電力をオン・オフする命令を追加することにより、乗積回路の発熱及び消費電力を最小限にする機能をもたせ、消費電力の低下により一層信頼性の高い半導体装置を提供することを目的としている。

第2図はこの発明の一実施例の構成を示すブロック図で、第1図の従来例と同等部分は同一符号で示し、その説明を省略する。図において、(1b)はこの実施例のプロセッサ、(7)はプロセッサの電源ライン(2)と各機能ブロック(6)の電源ライン(8)との接続をオン・オフできるパワー・カット・ブロックである。第3図はパワー・カット・ブロック(7)の一具体例を示すブロック回路図で、(9)は当該パワー・カット・ブロック(7)におけるパワーのオン・オフ状態を記憶保持するパワー・ステータス・ラッチ、(10)は電源投入時にパワー・ステータ

ス・ラッチ(9)を所定の初期状態にリセットするパワー・ステータス・リセット信号、(11)はパワー・ステータス・ラッチ(9)の状態を変更するために、第2図のコントロール部(5)から出力されるパワー・ステータス・チェンジ信号、(12)は昇圧回路、(13)はエンハンスメント形MOS構造のパワー・カット・トランジスタである。

プロセッサ(1b)においては、電源バット及び電源ライン(2)に電力を入力し、各々のプロセッサ(1b)に所定のリセット信号、クロック信号を入力すると、各機能ブロック(6)毎のパワー・カット・ブロック(7)は、パワー・ステータス・リセット信号(10)によつてパワー・ステータス・ラッチ(9)を特定状態に設定する。上記特定状態の内容が、パワー・カット・トランジスタ(13)を導通状態に設定する場合には、昇圧回路(12)は、電源ライン(2)の電圧にトランジスタ(13)のしきい値電圧を加算した電圧以上に昇圧した信号をトランジスタ(13)のゲートに入力し、電源ライン(2)と(8)との電圧を等しくする。(但し、電源ライン(2)、(8)の間を流れる電流による

電圧降下分を無視できるほどトランジスタ(13)のオン抵抗を小さく設計した場合)。また上記特定状態の内容が、トランジスタ(13)を非導通状態に設定する場合には、昇圧回路(12)は、トランジスタ(13)のしきい値電圧より以下の電圧の信号をトランジスタ(13)のゲートに入力し、電源ライン(2)、(8)間を非導通にする。次に、命令バス(3)から入力した命令をデコーダ(4)で解釈し、その内容がある機能ブロック(6)におけるパワーのオン・オフを変更する命令の場合、内部コントロール部(5)からパワー・ステータス・チェンジ信号(11)をパワー・ステータス・ラッチ(9)へ出力し、上記と同様の動作で、指定された機能ブロック(6)のパワーをオンまたはオフにする。

また、上記実施例では、パワー・カット・ブロック(7)の中に昇圧回路(12)を使用する場合について説明したが、昇圧回路を用いずに所要の制御電圧が得られるならば、これを設けなくてもよい。上記実施例では、命令を外部より入力しているが、プロセッサを構成している乗積回路上に命令

を記憶しているワンチップマイコンにおいても上記実施例と同様の効果を奏する。

また、上記実施例では、スイッチ素子としてエンハンスメント形MOSトランジスタを用いたが、バイポーラ形等の他のスイッチ素子を用いても同様の効果が得られる。

以上のように、この発明によれば、半導体装置において、互いに独立に動作する複数の機能ブロックのパワーをオン・オフできる命令を設け、この命令が与えられると所定の機能ブロックへの供給電力をオン・オフするように構成したので、消費電力、チップ発熱を最小限に抑え、信頼性を高くできる。

#### 4. 図面の簡単な説明

第1図はこの種の半導体装置の従来例の構成を示すブロック図、第2図はこの発明の一実施例の構成を示すブロック図、第3図はそのパワー・カット・ブロックの一具体例を示すブロック回路図である。

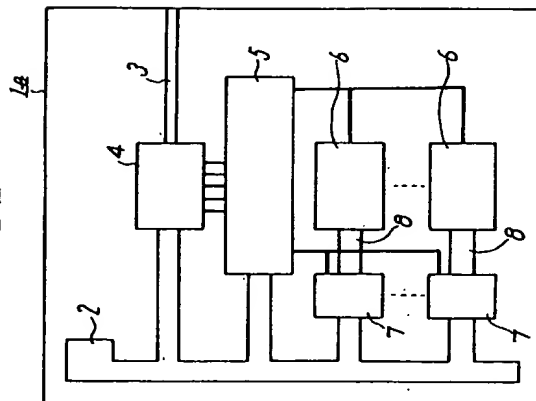
図において、(1b)はプロセッサ(半導体装置)、

(2)は電源バスおよび電源ライン、(3)は命令バス、  
(4)はデコーダ、(5)はコントロール部、(6)は機能ブ  
ロック、(7)はパワー・カット・ブロック(スイツ  
チ回路)である。

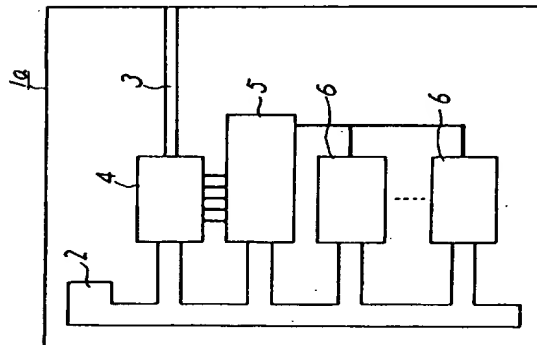
なお、図中同一符号は同一または相当部分を示  
す。

代理人 葛野信一(外1名)

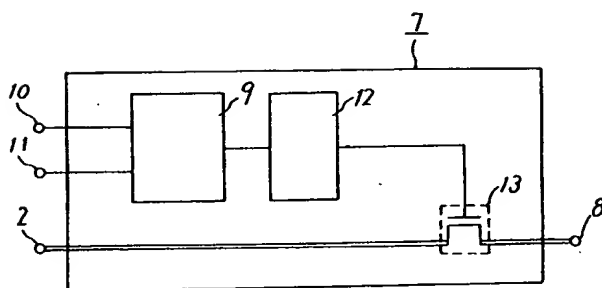
第2図



第1図



第3図



手続補正書(自発)

57 11 10

昭和 年 月 日

特許庁長官殿



1. 事件の表示 特願昭 57-119365号
2. 発明の名称 半 導 体 装 置
3. 補正をする者

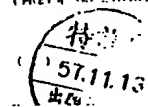
事件との関係  
住 所  
名 称 (601)

特許出願人  
東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社  
代表者 片 山 仁 八 郎

4. 代 理 人  
住 所

氏 名 (6699)

東京都千代田区丸の内二丁目2番3号  
三菱電機株式会社内  
弁理士 葛 野 信 一  
(特許生 03-2130312119755)



5. 補正の対象

明細書の発明の詳細な説明の欄

6. 補正の内容

明細書をつぎのとおり訂正する。

ページ	行	訂 正 前	訂 正 後
2	20	発熱消費電力の増大、	発熱及び消費電力の増大と、
3	1	信頼性低下を	信頼性低下とを
			以 上